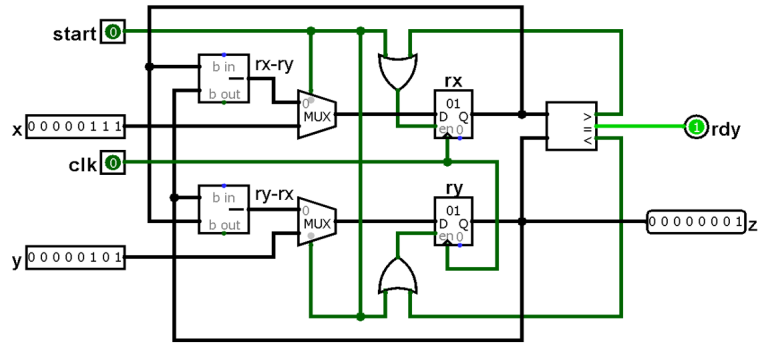


### Pregunta 1

Escriba en system verilog el módulo de nombre *p1* equivalente al circuito de logisim de la derecha. Su módulo debe ser sintetizable a un circuito que ante las mismas entradas, produzca las mismas salidas que el circuito de la derecha.



### Pregunta 2

El siguiente es un módulo en system verilog. Sintéticelo a un circuito equivalente en logisim. Ignore la instrucción *initial*. Para mejor claridad use túneles de logisim.

<pre> module search( input clk, start,                input [7:0] x,                output rdy, found ); logic [7:0] rom[15:0]; // Use una memoria ROM initial begin // ¡ignorar!     rom[0] = 2;     rom[1] = 3;     ... etc. ... end // fin ignorar  reg [4:0] low, high; wire [4:0] mid = (low + high + 1) &gt;&gt; 1; assign found = rom[mid] == x; assign rdy = low &gt;= high    found;             </pre>	<pre> always @(negedge clk)     if (start) begin         low &lt;= 0;         high &lt;= 15;     end     else if (!rdy &amp;&amp; rom[mid] &lt; x)         low &lt;= mid + 1;     else if (!rdy &amp;&amp; rom[mid] &gt; x)         high &lt;= mid - 1; endmodule             </pre>
--	--

### Pregunta 3

**Parte a.-** En el circuito de la derecha se ha agregado memoria RAM a LRV32IM.

Conteste la siguientes preguntas:

- ¿De qué tamaño es el módulo de memoria RAM en MB?
- ¿De qué ancho es el módulo de memoria RAM? ¿8, 16 o 32 bits?
- ¿En qué rango de direcciones se agregó? Expréselo como un intervalo como [inicio, fin[ en hexadecimal.
- ¿Por qué no se conectaron las líneas *A1* y *A0* a la dirección de los módulos de memoria?
- Explique por qué esta interfaz de memoria es incorrecta.

Ayuda:  $0x100000 \equiv 1 \text{ MB}$

**Parte b.-** Corrija esta interfaz de memoria.

